

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-348446

(43)Date of publication of application : 05.12.2003

(51)Int.Cl.

H04N 5/265

H04N 5/278

H04N 5/445

H04N 7/01

(21)Application number : 2002-152749

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.05.2002

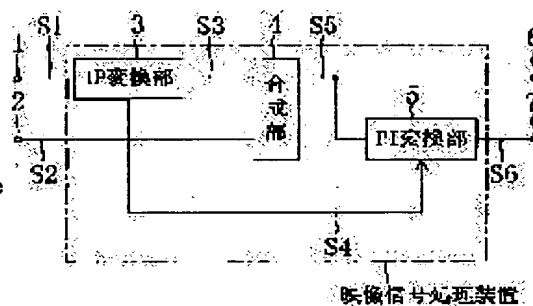
(72)Inventor : KAITA KUNIHIRO  
TAKEUCHI HIROAKI

## (54) VIDEO SIGNAL PROCESSING APPARATUS

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a video signal processing apparatus for simultaneously outputting a progressive video signal and an interlace video signal without causing deterioration in image quality for sub pictures to be composed or on-screen-display.

SOLUTION: An IP conversion section 3 converts a received interlace video signal S1 into a progressive video signal S3 and outputs the converted progressive video signal. A composite section 4 composes the progressive video signal S3 with the received sub picture or a signal S2 for on-screen display (OSD) and outputs the result as a progressive video signal S5. A PI conversion section 6 converts the progressive video signal S5 into an interlace video signal S6 and outputs the converted interlace video signal. Then the video signal processing apparatus outputs both the progressive video signal S5 and the interlace video signal S6.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-348446

(P2003-348446A)

(43) 公開日 平成15年12月5日 (2003.12.5)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-コ-ト*(参考)
H 0 4 N	5/265	H 0 4 N	5 C 0 2 3
	5/278		5 C 0 2 5
	5/445		Z 5 C 0 6 3
	7/01		G

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21) 出願番号 特願2002-152749(P2002-152749)

(22) 出願日 平成14年5月27日 (2002.5.27)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 貝田 邦尋

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 武内 宏壮

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

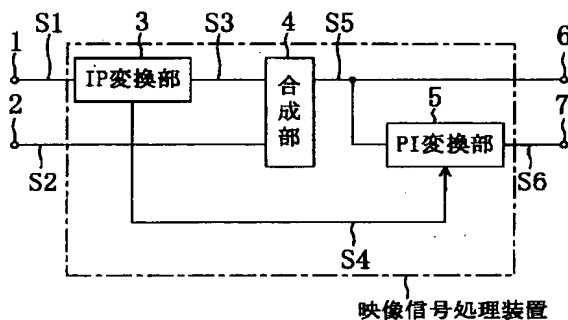
最終頁に続く

(54) 【発明の名称】 映像信号処理装置

(57) 【要約】

【課題】 合成するサブピクチャまたはオンスクリーンディスプレイの画質劣化を起こすことなく、プログレシブ映像信号とインターレース映像信号を同時に出力する。

【解決手段】 IP変換部3は、入力されたインターレース映像信号S1をプログレシブ映像信号S3に変換して出力する。合成部4は、プログレシブ映像信号S3と入力されたサブピクチャまたはOSDを表示する信号S2とを合成し、プログレシブ映像信号S5として出力する。PI変換部6は、プログレシブ映像信号S5をインターレース映像信号S6に変換して出力する。そして、プログレシブ映像信号S5とインターレース映像信号S6とをともに出力する。



50 9、

前記 P I 変換手段は、

前記フィールド信号発生手段から受ける前記フィールド識別信号が奇数フィールドを示す場合は、前記第 2 のプログレシブ映像信号の偶数番目の走査線を間引いて、前記第 2 のインターレース映像信号に変換し、  
前記フィールド信号発生手段から受ける前記フィールド識別信号が偶数フィールドを示す場合は、前記第 2 のプログレシブ映像信号の奇数番目の走査線を間引いて、前記第 2 のインターレース映像信号に変換するものであることを特徴とする映像信号処理装置。

【請求項 9】 入力された第 1 のインターレース映像信号を第 1 のプログレシブ映像信号に変換して出力する I P 変換手段と、

前記第 1 のプログレシブ映像信号と入力された副映像を表示するための副映像信号とを合成し、第 2 のプログレシブ映像信号として出力する合成手段と、

前記第 2 のプログレシブ映像信号を第 2 のインターレース映像信号に変換して出力するラインメモリと、

入力されたクロック信号をもとにプログレシブ水平同期パルス信号を出力するプログレシブ水平同期パルス発生手段と、

前記クロック信号をもとにインターレース水平同期パルス信号を出力するインターレース水平同期パルス発生手段と、

前記インターレース水平同期パルス発生手段からの前記インターレース水平同期パルス信号にもとづいて、前記ラインメモリからの前記第 2 のインターレース映像信号のフィールドが奇数フィールドになるか偶数フィールドになるかを示すフィールド識別信号を出力するフィールド信号発生手段と、

前記プログレシブ水平同期パルス発生手段からの前記プログレシブ水平同期パルス信号とフィールド信号発生手段からの前記フィールド識別信号とにもとづいて、前記ラインメモリへの前記第 2 のプログレシブ映像信号の書き込みを制御する書き込み制御信号を前記ラインメモリに出力する書き込み制御手段と、

前記インターレース水平同期パルス発生手段からの前記インターレース水平同期パルス信号と前記フィールド信号発生手段からの前記フィールド識別信号とにもとづいて、前記ラインメモリからの前記第 2 のインターレース映像信号の読み出しを制御する読み出し制御信号を前記ラインメモリに出力する読み出し制御手段を備え、

前記合成手段から出力される前記第 2 のプログレシブ映像信号と前記ラインメモリから読み出される前記第 2 のインターレース映像信号とをともに出力することを特徴とする映像信号処理装置。

【請求項 10】 請求項 9 に記載の映像信号処理装置において、

前記合成手段において合成される前記副映像信号は、サブピクチャまたはオンスクリーンディスプレイを表示す

るための信号であることを特徴とする映像信号処理装置。

【請求項 11】 請求項 9 または請求項 10 のいずれかに記載の映像信号処理装置において、

前記 I P 変換手段は、

前記フィールド識別手段から受ける前記フィールド識別信号が奇数フィールドを示す場合は、前記第 1 のインターレース映像信号の奇数フィールドから走査線を補間して、前記第 1 のインターレース映像信号を前記第 1 のプログレシブ映像信号に変換して出力し、

前記フィールド識別手段から受ける前記フィールド識別信号が偶数フィールドを示す場合は、前記第 1 のインターレース映像信号の偶数フィールドから走査線を補間して、前記第 1 のインターレース映像信号を前記第 1 のプログレシブ映像信号に変換して出力するものであり、

前記書き込み制御手段は、

前記フィールド識別手段からの前記フィールド識別信号が奇数フィールドを示す場合は、前記第 2 のプログレシブ映像信号の奇数番目の走査線を前記ラインメモリに書き込むための前記書き込み制御信号を出力し、

前記フィールド識別手段からの前記フィールド識別信号が偶数フィールドを示す場合は、前記第 2 のプログレシブ映像信号の偶数番目の走査線を前記ラインメモリに書き込むための前記書き込み制御信号を出力するものであり、

前記読み出し制御手段は、

前記書き込み制御手段からの前記書き込み制御信号にしたがって前記ラインメモリに書き込まれた前記第 2 のプログレシブ映像信号の走査線を前記第 2 のインターレース映像信号として読み出すための前記読み出し制御信号を出力するものであることを特徴とする映像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プログレシブ方式の映像信号とインターレース方式の映像信号とを同時に出力する映像信号処理装置に関するものである。

【0002】

【従来の技術】 従来、インターレース方式の映像信号に DVD 規格のサブピクチャ（以下「サブピクチャ」と略す）やオンスクリーンディスプレイ（以下「OSD」と略す）を合成し、インターレース映像信号をプログレシブ映像信号に変換し、プログレシブ方式の映像信号とインターレース方式の映像信号とを同時に出力する装置として、図 7 に示す映像信号処理装置が知られている。

【0003】 図 7 は従来の映像信号処理装置を示す図である。

【0004】 図 7 に示す映像信号処理装置は、インターレース方式のインターレース映像信号の入力端子 10

1、サブピクチャまたは OS D を表示する信号の入力端

10

20

30

40

50

子102、入力端子101から入力されたインターレース映像信号と入力端子102から入力されたサブピクチャまたはOSDを表示する信号とを合成する合成部103、合成部103から出力されるインターレース方式の合成映像信号をプログレシブ方式のプログレシブ映像信号に変換するIP変換部104、IP変換部104からのプログレシブ方式のプログレシブ映像信号を出力する出力端子105、および合成部103からの合成映像信号を出力する出力端子106を有している。

【0005】次に、図7に示す映像信号処理装置の動作について説明する。

【0006】合成部103は、入力端子101から入力されたインターレース映像信号と、入力端子102から入力されたインターレース方式のサブピクチャまたはOSDを表示する信号とを合成し、合成映像信号を出力する。合成映像信号は、インターレース方式の映像信号として出力端子106から出力される。また、合成部103から出力される合成映像信号はIP変換部104に入力される。IP変換部104は、走査線補間によって、インターレース方式の合成映像信号をプログレシブ方式のプログレシブ映像信号に変換し、プログレシブ映像信号は出力端子105から出力される。

【0007】

【発明が解決しようとする課題】しかしながら、上記の通り、インターレース方式の映像信号にサブピクチャまたはOSDを表示する信号を合成した後にプログレシブ方式の映像信号に変換するので、走査線補間によってサブピクチャまたはOSDの映像ボケが起こる。そのため、画質劣化が発生する。

【0008】また、上記の通り、インターレース方式の映像信号とサブピクチャとの合成はインターレース方式で合成される。サブピクチャを表示する表示ラインはフレームにおけるライン番号で管理されており、インターレース方式で合成する場合はライン番号をフィールドにおけるライン番号に変換する必要がある。そのため、回路規模が増大する。

【0009】また、上記の通り、IP変換部104においてインターレース方式の映像信号をプログレシブ方式の映像信号に変換する際に複数のフィールドデータを用いて行う場合、変換に伴う遅延がフィールド単位で発生する。そのため、出力端子105からのプログレシブ方式の映像信号の出力と出力端子106からのインターレース方式の映像信号の出力との間において時間差が生じる。

【0010】そこで、本発明の目的は、画質劣化を生じさせない映像信号処理装置を提供することである。

【0011】また、本発明の目的は、回路規模を増大させない映像信号処理装置を提供することである。

【0012】さらに、本発明の目的は、プログレシブ方式の映像信号とインターレース方式の映像信号との出力

に時間差を生じさせることのない映像信号処理装置を提供することである。

【0013】

【課題を解決するための手段】上記課題を解決するために請求項1の発明は、入力された第1のインターレース映像信号を第1のプログレシブ映像信号に変換して出力するIP変換手段と、前記第1のプログレシブ映像信号と入力された副映像を表示するための副映像信号とを合成し、第2のプログレシブ映像信号として出力する合成手段と、前記第2のプログレシブ映像信号を第2のインターレース映像信号に変換して出力するPI変換手段とを備え、前記第2のプログレシブ映像信号と前記第2のインターレース映像信号とをともに出力するものである。

【0014】請求項1の発明によると、インターレース映像信号をプログレシブ映像に変換した後に副映像と合成する。そのため、副映像がボケることがなく、画質劣化の発生を回避できる。また、プログレシブ映像信号に副映像を合成するため、ライン番号をフィールドにおけるライン番号に変換する必要がなく、回路規模の増大を回避できる。

【0015】また、請求項2の発明は、請求項1に記載の映像信号処理装置において、前記合成手段において合成される前記副映像信号は、サブピクチャまたはオンスクリーンディスプレイを表示するための信号であるものとする。

【0016】請求項2の発明によると、合成されたサブピクチャやオンスクリーンディスプレイの画質劣化を防ぐことができる。

【0017】また、請求項3の発明は、請求項1または請求項2のいずれかに記載の映像信号処理装置において、前記IP変換手段は、前記第1のインターレース映像信号から走査線を補間して、前記第1のインターレース映像信号を前記第1のプログレシブ映像信号に変換して出力するものであり、前記PI変換手段は、前記IP変換手段によって補間された前記走査線を間引いて、前記第2のプログレシブ映像信号を前記第2のインターレース映像信号に変換して出力するものであるものとする。

【0018】請求項3の発明によると、第1のインターレース映像信号から第1のプログレシブ映像信号への変換の際に補間された走査線は、PI変換手段によって間引かれる。そのため、PI変換手段から出力される第2のインターレース映像信号に生じる画質劣化を防ぐことができる。また、第2のプログレシブ映像信号の出力と第2のインターレース映像信号の出力との間に時間差は生じない。

【0019】また、請求項4の発明は、請求項3に記載の映像信号処理装置において、前記IP変換手段は、前記第1のインターレース映像信号から走査線を補間し

て、前記第1のインターレース映像信号を前記第1のプログレシブ映像信号に変換して出力するとともに、前記第1のプログレシブ信号が、前記第1のインターレース映像信号の奇数フィールドまたは偶数フィールドの走査線から補間されたものであることを示すフィールド識別信号を前記PI変換手段に出力するものであり、前記PI変換手段は、前記フィールド識別信号にもとづいて、前記第1のプログレシブ信号が、前記第1のインターレース映像信号の奇数フィールドの走査線から補間されたものであると判断した場合は、前記第2のプログレシブ映像信号の偶数番目の走査線を間引いて、前記第2のインターレース映像信号に変換し、前記フィールド識別信号にもとづいて、前記第1のプログレシブ信号が、前記第1のインターレース映像信号の偶数フィールドの走査線から補間されたものであると判断した場合は、前記第2のプログレシブ映像信号の奇数番目の走査線を間引いて、前記第2のインターレース映像信号に変換するものであるものとする。

【0020】請求項4の発明によると、IP変換手段がフィールド識別信号を出力することで、PI変換手段は、第1のプログレシブ映像信号が第1のインターレース映像信号の奇数フィールドまたは偶数フィールドの走査線から補間されたものであるかによって、第2のプログレシブ映像信号における補間された走査線を間引くことを可能にする。

【0021】また、請求項5の発明は、入力された第1のインターレース映像信号を第1のプログレシブ映像信号に変換して出力するIP変換手段と、前記第1のプログレシブ映像信号と入力された副映像を表示するための副映像信号とを合成し、第2のプログレシブ映像信号として出力する合成手段と、前記第2のプログレシブ映像信号を第2のインターレース映像信号に変換して出力するPI変換手段と、前記PI変換手段からの前記第2のインターレース映像信号のフィールドが奇数フィールドになるか偶数フィールドになるかを示すフィールド識別信号を出力するフィールド信号発生手段とを備え、前記第2のプログレシブ映像信号と前記第2のインターレース映像信号とをともに出力するものである。

【0022】請求項5の発明によると、インターレース映像信号をプログレシブ映像に変換した後に副映像と合成する。そのため、副映像がボケることなく、画質劣化の発生を回避できる。また、プログレシブ映像信号に副映像を合成するため、ライン番号をフィールドにおけるライン番号に変換する必要がなく、回路規模の増大を回避できる。

【0023】また、請求項6の発明は、請求項5に記載の映像信号処理装置において、前記合成手段において合成される前記副映像信号は、サブピクチャまたはオンスクリーンディスプレイを表示するための信号であるものとする。

【0024】請求項6の発明によると、合成されたサブピクチャやオンスクリーンディスプレイの画質劣化を防ぐことができる。

【0025】また、請求項7の発明は、請求項5または請求項6のいずれかに記載の映像信号処理装置において、前記IP変換手段は、前記第1のインターレース映像信号から走査線を補間して、前記第1のインターレース映像信号を前記第1のプログレシブ映像信号に変換して出力するものであり、前記PI変換手段は、前記IP変換手段によって補間された前記走査線を間引いて、前記第2のプログレシブ映像信号を前記第2のインターレース映像信号に変換して出力するものであるものとする。

【0026】請求項7の発明によると、第1のインターレース映像信号から第1のプログレシブ映像信号への変換の際に補間された走査線は、PI変換手段によって間引かれる。そのため、PI変換から出力される第2のインターレース映像信号に生じる画質劣化を防ぐことができる。また、第2のプログレシブ映像信号の出力と第2のインターレース映像信号の出力との間に時間差は生じない。

【0027】また、請求項8の発明は、請求項7に記載の映像信号処理装置において、前記IP変換手段は、前記フィールド信号発生手段から受ける前記フィールド識別信号が奇数フィールドを示す場合は、前記第1のインターレース映像信号の奇数フィールドから走査線を補間して、前記第1のインターレース映像信号を前記第1のプログレシブ映像信号に変換して出力し、前記フィールド信号発生手段から受ける前記フィールド識別信号が偶数フィールドを示す場合は、前記第1のインターレース映像信号の偶数フィールドから走査線を補間して、前記第1のインターレース映像信号を前記第1のプログレシブ映像信号に変換して出力するものであり、前記PI変換手段は、前記フィールド信号発生手段から受ける前記フィールド識別信号が奇数フィールドを示す場合は、前記第2のプログレシブ映像信号の偶数番目の走査線を間引いて、前記第2のインターレース映像信号に変換し、前記フィールド信号発生手段から受ける前記フィールド識別信号が偶数フィールドを示す場合は、前記第2のプログレシブ映像信号の奇数番目の走査線を間引いて、前記第2のインターレース映像信号に変換するものであるものとする。

【0028】請求項8の発明によると、フィールド信号発生手段が出力するフィールド識別信号をもとづいて、PI変換手段は、第1のプログレシブ映像信号が第1のインターレース映像信号の奇数フィールドまたは偶数フィールドの走査線から補間されたものであるかによって、第2のプログレシブ映像信号における補間された走査線を間引くことを可能にする。

【0029】また、請求項9の発明は、入力された第1

のインターレース映像信号を第1のプログレシブ映像信号に変換して出力するIP変換手段と、前記第1のプログレシブ映像信号と入力された副映像を表示するための副映像信号とを合成し、第2のプログレシブ映像信号として出力する合成手段と、前記第2のプログレシブ映像信号を第2のインターレース映像信号に変換して出力するラインメモリと、入力されたクロック信号をもとにプログレシブ水平同期パルス信号を出力するプログレシブ水平同期パルス発生手段と、前記クロック信号をもとにインターレース水平同期パルス信号を出力するインターレース水平同期パルス発生手段と、前記インターレース水平同期パルス発生手段からの前記インターレース水平同期パルス信号にもとづいて、前記ラインメモリからの前記第2のインターレース映像信号のフィールドが奇数フィールドになるか偶数フィールドになるかを示すフィールド識別信号を出力するフィールド信号発生手段と、前記プログレシブ水平同期パルス発生手段からの前記プログレシブ水平同期パルス信号とフィールド信号発生手段からの前記フィールド識別信号とにもとづいて、前記ラインメモリへの前記第2のプログレシブ映像信号の書き込みを制御する書き込み制御信号を前記ラインメモリに出力する書き込み制御手段と、前記インターレース水平同期パルス発生手段からの前記インターレース水平同期パルス信号と前記フィールド信号発生手段からの前記フィールド識別信号とにもとづいて、前記ラインメモリからの前記第2のインターレース映像信号の読み出しを制御する読み出し制御信号を前記ラインメモリに出力する読み出し制御手段を備え、前記合成手段から出力される前記第2のプログレシブ映像信号と前記ラインメモリから読み出される前記第2のインターレース映像信号とをともに出力するものである。

【0030】請求項9の発明によると、インターレース映像信号をプログレシブ映像に変換した後に副映像と合成する。そのため、副映像がボケることなく、画質劣化の発生を回避できる。また、プログレシブ映像信号に副映像を合成するため、ライン番号をフィールドにおけるライン番号に変換する必要がなく、回路規模の増大を回避できる。

【0031】また、請求項10の発明は、請求項9に記載の映像信号処理装置において、前記合成手段において合成される前記副映像信号は、サブピクチャまたはオンスクリーンディスプレイを表示するための信号であるものとする。

【0032】請求項10の発明によると、合成されたサブピクチャやオンスクリーンディスプレイの画質劣化を防ぐことができる。

【0033】また、請求項11の発明は、請求項9または請求項10のいずれかに記載の映像信号処理装置において、前記IP変換手段は、前記フィールド識別手段からの前記フィールド識別信号が奇数フィールドを示す場

合は、前記第1のインターレース映像信号の奇数フィールドから走査線を補間して、前記第1のインターレース映像信号を前記第1のプログレシブ映像信号に変換して出力し、前記フィールド識別手段からの前記フィールド識別信号が偶数フィールドを示す場合は、前記第1のインターレース映像信号の偶数フィールドから走査線を補間して、前記第1のインターレース映像信号を前記第1のプログレシブ映像信号に変換して出力するものであり、前記書き込み制御手段は、前記フィールド識別手段からの前記フィールド識別信号が奇数フィールドを示す場合は、前記第2のプログレシブ映像信号の奇数番目の走査線を前記ラインメモリに書き込むための前記書き込み制御信号を出力し、前記フィールド識別手段からの前記フィールド識別信号が偶数フィールドを示す場合は、前記第2のプログレシブ映像信号の偶数番目の走査線を前記ラインメモリに書き込むための前記書き込み制御信号を出力するものであり、前記読み出し制御手段は、前記書き込み制御手段からの前記書き込み制御信号にしたがって前記ラインメモリに書き込まれた前記第2のプログレシブ映像信号の走査線を前記第2のインターレース映像信号として読み出すための前記読み出し制御信号を出力するものであるものとする。

【0034】請求項11の発明によると、フィールド信号発生手段が出力するフィールド識別信号をもとづいて、第2のプログレシブ映像信号の補間されていない走査線のみをラインメモリに書き込むことによって、第2のプログレシブ映像信号における補間された走査線を間引くことを可能にする。

【0035】

【発明の実施の形態】以下、本発明の各実施形態について、図面を参照しながら説明する。

【0036】（第1の実施形態）図1は、本発明の第1の実施形態における映像信号処理装置の構成例を示す図である。

【0037】図1に示す映像信号処理装置は、入力端子1、入力端子2、IP変換部（IP変換手段に対応する）3、合成部（合成手段に対応する）4、PI変換部（PI変換手段に対応する）5、出力端子6、および出力端子7を有している。

【0038】入力端子1は、インターレース方式のインターレース映像信号S1（第1のインターレース映像信号に対応する）を入力する。

【0039】入力端子2は、DVD規格のサブピクチャ（以下「サブピクチャ」と略す）またはオンスクリーンディスプレイ（以下「OSD」と略す）を表示する信号S2（副映像信号に対応する）を入力する。

【0040】IP変換部3は、入力端子1からのインターレース映像信号S1を走査線補間によってプログレシブ方式のプログレシブ映像信号（第1のプログレシブ映像信号に対応する）S3に変換して出力する。さらに、



IP変換部3は、その内部にある識別部3a（図示せず）によって、出力するプログレシブ映像信号S3が、インターレース映像信号S1の奇数フィールドに対して走査線補間を行ったものか偶数フィールドに対して走査線補間を行ったものかを識別し、そのどちらのフィールドかを示す奇数フィールド識別信号S4（フィールド識別信号に対応する）をPI変換部5に出力する。

【0041】合成部4は、IP変換部3から出力されるプログレシブ方式のプログレシブ映像信号S3と入力端子2からのサブピクチャまたはOSDを表示する信号S2とを合成し、プログレシブ方式の合成映像信号S5（第2のプログレシブ映像信号に対応する）を出力する。

【0042】PI変換部5は、IP変換部3から入力する奇数フィールド識別信号S4にもとづいて、合成部4からのプログレシブ方式の合成映像信号S5をインターレース方式のインターレース映像信号S6（第2のインターレース映像信号に対応する）に変換する。

【0043】出力端子6は、合成部4からのプログレシブ方式の合成映像信号S5を出力する。

【0044】出力端子7は、PI変換部5からのインターレース映像信号S6を出力する。

【0045】次に、以上のように構成された本実施形態に係る映像信号処理装置の動作について説明する。

【0046】入力端子1から入力されたインターレース方式のインターレース映像信号S1は、IP変換部3における走査線補間によってプログレシブ方式のプログレシブ映像信号S3に変換される（後述で詳細する）。そして、合成部4は、プログレシブ映像信号S3と入力端子2からのサブピクチャまたはOSDを表示する信号S2とを合成して合成映像信号S5を出力する。合成部4からの合成映像信号S5は、出力端子6から出力される。また、合成部4からのプログレシブ方式の合成映像信号S5は、PI変換部5においてインターレース方式のインターレース映像信号S6に変換され（後述で詳細する）、出力端子7から出力される。

【0047】次に、IP変換部3の具体的動作を説明する。

【0048】図2はインターレース映像信号S1からプログレシブ映像信号S3への変換の一例を説明するための図である。

【0049】図2（a）は、IP変換部3に入力されるインターレース映像信号S1が奇数フィールドの場合の変換例を説明するための図である。図2（b）は、IP変換部3に入力されるインターレース映像信号S1が偶数フィールドの場合の変換例を説明するための図である。

【0050】図2（a）に示すように、入力されるインターレース映像信号S1が奇数フィールドの場合、IP変換部3は、プログレシブ映像信号S3の奇数ラインの

走査線としてインターレース映像信号S1を出力する。その際、IP変換部3は、入力されるインターレース映像信号S1の2倍の速さで、プログレシブ映像信号S3の奇数ラインの走査線としてインターレース映像信号S1を出力する。また、プログレシブ映像信号S3の偶数ラインの走査線としてインターレース映像信号S1の前後のラインの走査線から補間して出力する。さらに、IP変換部3は、この場合、Lレベルの奇数フィールド識別信号S4を出力する。

【0051】一方、図2（b）に示すように、入力されるインターレース映像信号S1が偶数フィールドの場合、IP変換部3は、プログレシブ映像信号S3の偶数ラインの走査線としてインターレース映像信号S1を出力する。その際、IP変換部3は、入力されるインターレース映像信号S1の2倍の速さで、プログレシブ映像信号S3の偶数ラインの走査線としてインターレース映像信号S1を出力する。また、プログレシブ映像信号S3の奇数ラインの走査線としてインターレース映像信号S1の前後のラインの走査線から補間して出力する。さらに、IP変換部3は、この場合、Hレベルの奇数フィールド識別信号S4を出力する。

【0052】なお、走査線補間の方法として、前後2ラインの走査線を用いて補間する方法を説明しているが、これに限定するものではない。

【0053】次に、PI変換部5の具体的動作を説明する。

【0054】図3はプログレシブ方式の合成映像信号S5からインターレース方式のインターレース映像信号S6への変換例を説明するための図である。

【0055】図3（a）は、PI変換部5に入力される奇数フィールド識別信号S4がLレベルの場合の変換例を説明するための図である。図3（b）は、PI変換部5に入力される奇数フィールド識別信号S4がHレベルの場合の変換例を説明するための図である。

【0056】図3（a）に示すように、奇数フィールド識別信号S4がLレベルの場合、PI変換部5は、インターレース方式のインターレース映像信号S6として、入力されるプログレシブ方式の合成映像信号S5の奇数ラインの走査線を出力し、偶数ラインの走査線は出力しない。また、上記奇数ラインの走査線の出力は、PI変換部5に入力される合成映像信号S5の1/2倍の速さで出力する。

【0057】図3（b）に示すように、奇数フィールド識別信号S4がHレベルの場合、PI変換部5は、インターレース方式のインターレース映像信号S6として、入力されるプログレシブ方式の合成映像信号S5の偶数ラインの走査線を出力し、奇数ラインの走査線は出力しない。また、上記偶数ラインの走査線の出力は、PI変換部5に入力される合成映像信号S5の1/2倍の速さで出力する。

【0058】このように、奇数フィールド識別信号S4のLまたはHレベルに応じて、プログレシブ方式の合成映像信号S5におけるそれぞれ偶数または奇数ラインを間引くことによって、PI変換部5から出力されるインターレース映像信号S6は、入力端子1に入力されるインターレース映像信号S1と同等の信号になる。

【0059】また、PI変換部5は、入力されるプログレシブ方式の合成映像信号S5における半数の走査線を1/2の速さで出力するため、入力されるプログレシブ方式の合成映像信号S5と出力されるインターレース映像信号S6との間に時間差は生じない。言い換えると、出力端子6から出力されるプログレシブ方式の合成映像信号S5と、出力端子7から出力されるインターレース方式のインターレース映像信号S6との間に時間差は生じない。

【0060】なお、以上では、第1のプログレシブ映像信号S3に合成する映像としてサブピクチャやOSDの場合を例に説明したが、本発明はこれに限る趣旨ではなく、副映像として用いられる映像を表示する場合であっても、本発明は同様に実施可能である。

【0061】以上のように本発明の第1の実施形態に係る映像信号処理装置は、入力されるインターレース方式のインターレース映像信号S1をプログレシブ方式のプログレシブ映像信号S3に変換した後に、サブピクチャまたはOSDを表示する信号S2と合成する。そのため、出力端子6から出力されるプログレシブ方式の合成映像信号S5では、走査線補間によるサブピクチャまたはOSDの映像ボケが生じず、画質劣化を防ぐことができる。

【0062】また、サブピクチャはプログレシブ方式のプログレシブ映像信号S3と合成するため、フレームにおけるライン番号で管理されているサブピクチャを表示する表示ラインをフィールドにおけるライン番号に変換する必要がなくなり、回路規模の増大を抑制することができる。

【0063】さらに、PI変換部5において、IP変換部3によって補間された走査線を間引くため、入力端子1から入力されるインターレース映像信号S1と出力端子7から出力されるインターレース映像信号S6とは同等の信号となるので、インターレース映像信号S6を原因とする画質劣化の発生を防ぐことができる。また、上記の通り、出力端子6から出力されるプログレシブ方式の合成映像信号S5と、出力端子7から出力されるインターレース方式のインターレース映像信号S6との間に時間差が生じることはない。

【0064】(第2の実施形態)図4は本発明の第2の実施形態における映像信号処理装置の構成例を示す図である。

【0065】図4に示す映像信号処理装置は、入力端子1、入力端子2、IP変換部(IP変換手段に対応する)

13、合成部(合成手段に対応する)4、PI変換部(PI変換手段に対応する)5、フィールド信号発生部(フィールド信号発生手段に対応する)18、出力端子6、および出力端子7を有している。

【0066】入力端子1は、インターレース方式のインターレース映像信号S1(第1のインターレース映像信号に対応する)を入力する。

【0067】入力端子2は、サブピクチャまたはOSDを表示する信号S2(副映像信号に対応する)を入力する。

【0068】IP変換部13は、フィールド信号発生部18から入力する後述の奇数フィールド識別信号S4にもとづいて、入力端子1からのインターレース映像信号S1を走査線補間によってプログレシブ方式のプログレシブ映像信号(第1のプログレシブ映像信号に対応する)S3に変換して出力する。

【0069】合成部4は、IP変換部13から出力されるプログレシブ方式のプログレシブ映像信号S3と入力端子2からのサブピクチャまたはOSDを表示する信号S2とを合成し、プログレシブ方式の合成映像信号S5(第2のプログレシブ映像信号に対応する)を出力する。

【0070】PI変換部5は、フィールド信号発生部18から入力する後述の奇数フィールド識別信号S4にもとづいて、合成部4からのプログレシブ方式の合成映像信号S5をインターレース方式のインターレース映像信号S6(第2のインターレース映像信号に対応する)に変換する。

【0071】フィールド信号発生部18は、PI変換部5から出力されるインターレース方式のインターレース映像信号S6が奇数フィールドになるか偶数フィールドになるかを示す奇数フィールド識別信号S4(フィールド識別信号に対応する)を出力する。なお、フィールド信号発生部18は、奇数フィールドの場合はLレベルの奇数フィールド識別信号S4を出力し、偶数フィールドの場合はHレベルの奇数フィールド識別信号S4を出力する。

【0072】出力端子6は、合成部4からのプログレシブ方式の合成映像信号S5を出力する。

【0073】出力端子7は、PI変換部5からのインターレース映像信号S6を出力する。

【0074】次に、以上のように構成された本実施形態に係る映像信号処理装置の動作について説明する。

【0075】入力端子1から入力されたインターレース方式のインターレース映像信号S1は、IP変換部13における走査線補間によってプログレシブ方式のプログレシブ映像信号S3に変換される(後述で詳細する)。そして、合成部4は、プログレシブ映像信号S3と入力端子2からのサブピクチャまたはOSDを表示する信号S2とを合成して合成映像信号S5を出力する。合成部4からの合成映像信号S5は出力端子6から出力される。

また、合成部4からのプログレシブ方式の合成映像信号S5は、PI変換部5において、奇数フィールド識別信号S4にもとづいてインターレース方式のインターレース映像信号S6に変換され、出力端子7から出力される。

【0076】次に、IP変換部13の具体的動作について上記図2を参照しながら説明する。

【0077】フィールド信号発生部18からの奇数フィールド識別信号S4がLレベルの場合は、図2(a)に示すように奇数フィールドのインターレース映像信号S1が入力される。この場合IP変換部13は、プログレシブ映像信号S3の奇数ラインの走査線としてインターレース映像信号S1を出力する。その際、IP変換部13は、入力されるインターレース映像信号S1の2倍の速さで、プログレシブ映像信号S3の奇数ラインの走査線としてインターレース映像信号S1を出力する。また、プログレシブ映像信号S3の偶数ラインの走査線としてインターレース映像信号S1の前後のラインの走査線から補間して出力する。

【0078】一方、フィールド信号発生部18からの奇数フィールド識別信号S4がHレベルの場合は、図2(b)に示すように奇数フィールドのインターレース映像信号S1が入力される。この場合IP変換部13は、プログレシブ映像信号S3の偶数ラインの走査線としてインターレース映像信号S1を出力する。その際、IP変換部13は、入力されるインターレース映像信号S1の2倍の速さで、プログレシブ映像信号S3の偶数ラインの走査線としてインターレース映像信号S1を出力する。また、プログレシブ映像信号S3の奇数ラインの走査線としてインターレース映像信号S1の前後のラインの走査線から補間して出力する。

【0079】なお、走査線補間の方法として前後の2つのラインの走査線から補間する方法を説明しているが、これに限定するものではない。

【0080】また、PI変換部5の動作に関しては、上記第1の実施形態と同様であるので説明は割愛する。

【0081】以上のように本発明の第2の実施形態に係る映像信号処理装置は、奇数フィールド識別信号S4をフィールド信号発生部18において生成し、第1の実施形態と比較して、その奇数フィールド識別信号S4を生成する手段が相違するのみである。そのため、本実施形態でも、第1の実施形態と同様の効果を奏する。

【0082】(第3の実施形態)図5は本発明の第3の実施形態における映像信号処理装置の構成図を示す図である。

【0083】図5に示す映像信号処理装置は、入力端子1、入力端子2、IP変換部(IP変換手段に対応する)13、合成部(合成手段に対応する)4、ラインメモリ21、書き込み制御部(書き込み制御手段に対応する)22、読み出し制御部(読み出し制御手段に相当)23、H

P発生部(プログレシブ水平同期パルス発生手段に対応する)24、HI発生部(インターレース水平同期パルス発生手段に対応する)25、フィールド信号発生部(フィールド信号発生手段に対応する)26、クロック入力端子27、出力端子6、および出力端子7を有している。

【0084】HP発生部24は、クロック入力端子27からのクロック信号S21からプログレシブの水平同期パルス信号(以下「プログレシブ水平同期パルス信号」という)S22を生成し出力する。

【0085】HI発生部25は、クロック入力端子27からのクロック信号S21からインターレースの水平同期パルス信号(以下「インターレース水平同期パルス信号」という)S23を生成し出力する。

【0086】フィールド信号発生部26は、HI発生部24からのインターレース水平同期パルス信号S23にもとづいて、ラインメモリ21から出力されるインターレース方式のインターレース映像信号S6が奇数フィールドになるか偶数フィールドになるかを示す奇数フィールド識別信号S4(フィールド識別信号に対応する)を出力する。なお、フィールド信号発生部26は、奇数フィールドの場合はLレベルの奇数フィールド識別信号S4を出力し、偶数フィールドの場合はHレベルの奇数フィールド識別信号S4を出力する。

【0087】書き込み制御部22は、HP発生部24からのプログレシブ水平同期パルス信号S22および奇数フィールド識別信号S4にもとづいて、書き込み制御信号S24をラインメモリ21に出力する。

【0088】読み出し制御部23は、HI発生部からのインターレースの水平同期パルス信号S23および奇数フィールド識別信号S4にもとづいて、読み出し制御信号S25をラインメモリ21に出力する。

【0089】なお、ここでは、上記第2の実施形態における図4に示した構成要素と同様の動作を行う構成要素の説明は省略している。

【0090】まず、以上のように構成された第3の実施形態に係る映像信号処理装置の動作について簡単に説明する。

【0091】入力端子1から入力されたインターレース方式のインターレース映像信号S1(第1のインターレース映像信号に対応する)は、IP変換部13における走査線補間によってプログレシブ方式のプログレシブ映像信号S3(第1のプログレシブ映像信号に対応する)に変換される。そして、合成部4は、プログレシブ映像信号S3と入力端子2からのサブピクチャまたはOSDを表示する信号S2とを合成して合成映像信号S5(第2のプログレシブ映像信号に対応する)を出力する。合成部4からの合成映像信号S5は出力端子6から出力される。また、合成部4からのプログレシブ方式の合成映像信号S5は、ラインメモリ21に書き込まれる。ラインメモリから読み出された映像信号はインターレース映

像信号S6(第2のインターレース映像信号に対応する)として出力端子7から出力される。

【0092】次に、ラインメモリ21、書き込み制御部22、読み出し制御部23の具体的動作について、図6を参照しながら説明する。

【0093】図6は、ラインメモリ21、書き込み制御部22、読み出し制御部23を用いた、プログレッシブ方式の合成映像信号S5からインターレース方式のインターレース映像信号S6への変換例を説明するための図である。

【0094】図6(a)は、奇数フィールド識別信号S4がLレベルの場合の動作の説明を説明するための図である。図6(b)は、奇数フィールド識別信号S4がHレベルの場合の動作の説明を説明するための図である。なお、図6におけるNは整数である。

【0095】図6(a)に示すように、奇数フィールド識別信号S4がLレベルの場合について説明する。プログレッシブ水平同期パルス信号S22より生成される書き込み制御信号S24はプログレッシブ方式の合成映像信号S5の奇数ラインの場合にのみHレベルになり、書き込み制御信号S24がHレベルの期間にプログレッシブ映像信号S5がラインメモリ21に書き込まれる。そして、インターレース水平同期パルス信号S23より生成される読み出し制御信号S25がHレベルの期間にインターレース方式のインターレース映像信号S6として合成映像信号S5の1/2倍の速さで読み出される。

【0096】図6(b)に示すように、奇数フィールド識別信号S4がHレベルの場合について説明する。プログレッシブ水平同期パルス信号S22より生成される書き込み制御信号S24はプログレッシブ方式の合成映像信号S5の偶数ラインの場合にのみHレベルになり、書き込み制御信号S24がHレベルの期間にプログレッシブ映像信号S5がラインメモリ21に書き込まれる。そして、インターレース水平同期パルス信号S23より生成される読み出し制御信号S25がHレベルの期間にインターレース方式のインターレース映像信号S6として合成映像信号S5の1/2倍の速さで読み出される。

【0097】このように、奇数フィールド識別信号S4のLまたはHレベルに応じて、プログレッシブ方式の合成映像信号S5におけるそれぞれ偶数または奇数ラインを間引くことによって、ラインメモリ21から出力されるインターレース映像信号S6は、入力端子1に入力されるインターレース映像信号S1と同等の信号となる。

【0098】また、ラインメモリ21は入力されるプログレッシブ方式の合成映像信号S5における半数の走査線を入力1/2の速さで出力するため、入力されるプログレッシブ方式の合成映像信号S5と出力されるインターレース映像信号S6との間に時間差は生じない。言い換えると、出力端子6から出力されるプログレッシブ方式の合成映像信号S5と、出力端子7から出力されるインタ

ーレース方式のインターレース映像信号S6との間に時間差は生じない。

【0099】以上のように、本発明の第3の実施形態に係る映像信号処理装置は、第1の実施形態または第2の実施形態と同様の効果を得ることができる。

【0100】

【発明の効果】以上のように、本発明は、インターレース方式の映像信号をプログレッシブ方式の映像信号に変換した後に、サブピクチャまたはOSDと合成するため、走査線補間を原因とするサブピクチャまたはOSDの映像ボケをなくし、画質劣化を防ぐことができる。また、インターレース方式の映像信号からプログレッシブ方式の映像信号への変換で補間された走査線を間引くことにより、インターレース方式の映像信号の出力による画質劣化を防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の実施形態1に係る映像信号処理装置の構成例を示す図である。

【図2】 IP変換部3における変換例を説明するための図である。

【図3】 PI変換部5における変換例を説明するための図である。

【図4】 本発明の実施形態2に係る映像信号処理装置の構成例を示す図である。

【図5】 本発明の実施形態3に係る映像信号処理装置の構成例を示す図である。

【図6】 ラインメモリ21、書き込み制御部22、読み出し制御部23におけるPI変換例を説明するための図である。

【図7】 従来の映像信号処理装置の構成例を示す図である。

【符号の説明】

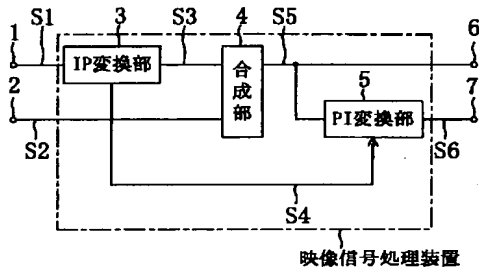
- |     |                             |
|-----|-----------------------------|
| 1、2 | 入力端子                        |
| 3   | IP変換部(IP変換手段)               |
| 4   | 合成部(合成手段)                   |
| 5   | PI変換部(PI変換手段)               |
| 6、7 | 出力端子                        |
| 13  | IP変換部(IP変換手段)               |
| 18  | フィールド信号発生部(フィールド信号発生手段)     |
| 21  | ラインメモリ                      |
| 22  | 書き込み制御部(書き込み制御手段)           |
| 23  | 読み出し制御部(読み出し制御手段)           |
| 24  | HP発生部(プログレッシブ水平同期パルス信号発生手段) |
| 25  | HI発生部(インターレース水平同期パルス信号発生手段) |
| 26  | フィールド信号発生部(フィールド信号発生手段)     |
| 27  | クロック入力端子                    |

- S1 インターレース映像信号(第1のインターレース映像信号)  
 S2 サブピクチャまたはOSDを表示する信号(副映像信号)  
 S3 プログレシブ映像信号(第1のプログレシブ映像信号)  
 S4 奇週フィールド識別信号(フィールド識別信号)  
 S5 プログレシブ方式の合成映像信号(第2のプロ\*

\* グレシブ信号)

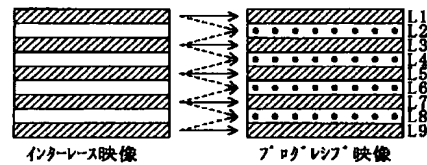
- S6 インターレース映像信号(第2のインターレース映像信号)  
 S21 クロック信号  
 S22 プログレシブ水平同期パルス信号  
 S23 インターレース水平同期パルス信号  
 S24 書き込み制御信号  
 S25 読み出し制御信号

【図1】

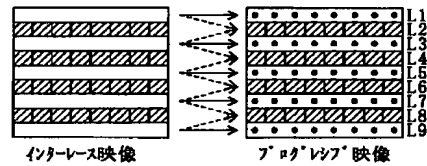


【図2】

(a) 奇数フィールドの場合

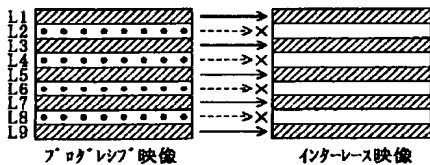


(b) 偶数フィールドの場合

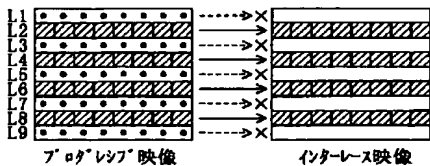


【図3】

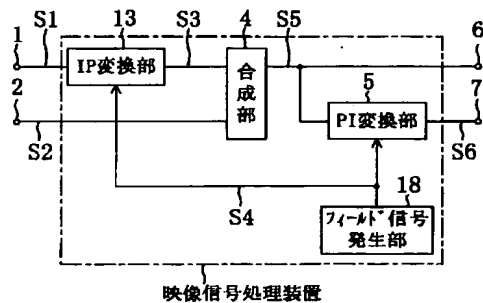
(a) S4が1レベルの場合



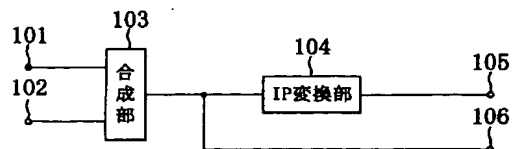
(b) S4が5レベルの場合



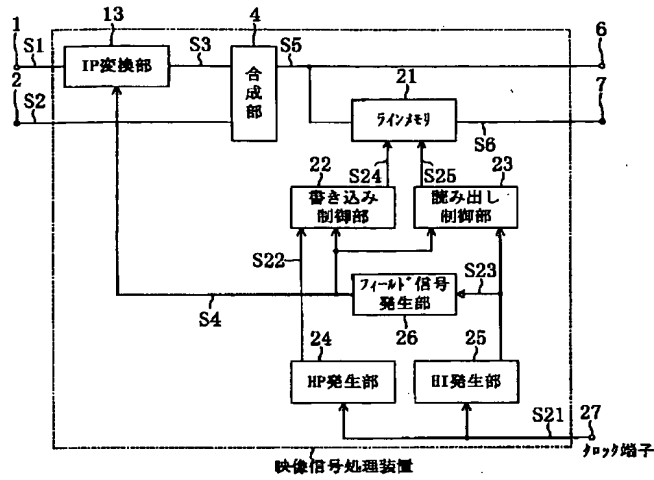
【図4】



【図7】

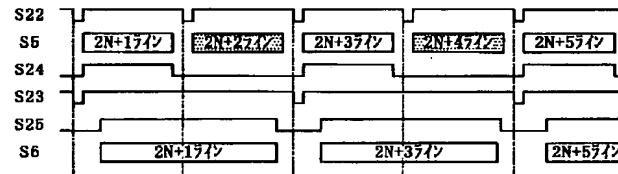


【図5】

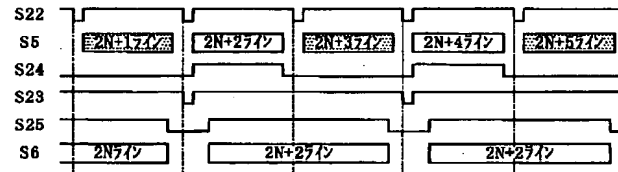


【図6】

(a) S4がLレベルの場合



(b) S4がHレベルの場合



IP変換部3で  
補間した走査線

フロントページの続き

Fターム(参考) 5C023 AA11 AA13 AA14 AA15 AA18  
AA38 BA11 CA01 CA03 CA05  
EA02 EA04  
5C025 AA28 BA28 CA01 CA02 CA06  
CA09  
5C063 AA01 AA06 AB03 AC01 AC10  
BA04 BA08 BA09 CA01 CA23